

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Dong-Gyu KIM and Jong-Soo YOON

Art Unit: 2822

Appl. No. 09 558,647

Examiner: Not assigned

Filed: April 26, 2000

Atty. Docket: 06192.0132



For: **THIN FILM TRANSISTOR ARRAY
PANEL AND METHODS FOR
MANUFACTURING SAME**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority documents, filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Application No.	Filing Date
Republic of Korea	1999-14896	April 26, 1999
Republic of Korea	1999-14898	April 26, 1999
Republic of Korea	2000-197412	April 14, 2000

A certified copy of each listed priority document is submitted herewith. Prompt acknowledgment of this claim and submission is respectfully requested.

Respectfully submitted,

Michael J. Bell
Registration No. 39,604

Date:

HOWREY SIMON ARNOLD & WHITE, LLP

Box No. 34

1299 Pennsylvania Avenue, NW

Washington, DC 20004-2402

(202) 783-0800



대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제14896호
Application Number

출원년월일 : 1999년 4월 26일
Date of Application

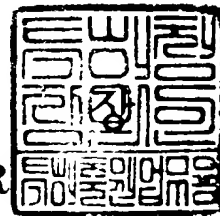
출원인 : 삼성전자 주식회사
Applicant(s)



1999년 9월 17일

특허청

COMMISSIONER



400-100-100

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	1
【제출일자】	1999.04.26
【발명의 명칭】	액정 표시 장치용 박막 트랜지스터 기판 및 그의 제조 방법
【발명의 영문명칭】	METHODS FOR MANUFACTURING THIN FILM TRANSISTOR PANELS FOR LIQUID CRYSTAL DISPLAY
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김원호
【대리인코드】	9-1998-000023-8
【포괄위임등록번호】	1999-015960-3
【대리인】	
【성명】	김원근
【대리인코드】	9-1998-000127-1
【포괄위임등록번호】	1999-015961-1
【발명자】	
【성명의 국문표기】	김동규
【성명의 영문표기】	KIM, Dong Gyu
【주민등록번호】	630901-1162114
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 선경아파트 302동 801호
【국적】	한국
【발명자】	
【성명의 국문표기】	윤종수
【성명의 영문표기】	YUN, Jong Soo
【주민등록번호】	660502-1468811
【우편번호】	320-060
【주소】	충청남도 천안시 구서동 473-15
【국적】	한국

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김원호 (인) 대리인

김원근 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

32 면 32,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

12 항 493,000 원

【합계】

554,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장_1통

【요약서】

【요약】

마스크 수를 줄이는 액정 표시 장치의 제조 방법. 기판 위에 게이트선, 게이트 패드, 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 절연막, 반도체층, 중간층 및 도전체층을 연속 증착한 다음 그 위에 양성의 감광막을 도포한다. 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴을 형성한다. 감광막 패턴 중에서 소스 전극과 드레인 전극 사이에 위치한 제1 부분은 데이터 배선이 형성될 부분에 위치한 제2 부분보다 두께가 작게 되도록 하며, 기타 부분의 감광막은 모두 제거한다. 이는 마스크에 해상도보다 작은 패턴이나 슬릿(slit)을 형성하거나 반투명막을 두어 감광막에 조사되는 빛의 조사량을 조절하거나, 리플로우를 통하여 얇은 두께의 막을 만듦으로써 가능하다. 다음, 기타 부분의 노출되어 있는 도전체층을 건식 또는 습식 식각 방법으로 제거하여 그 하부의 중간층을 노출시키고, 이어 기타 부분(B)의 노출된 중간층, 그 하부의 반도체층 및 그 하부의 게이트 절연막을 감광막의 제1 부분과 함께 건식 식각 방법으로 동시에 제거한다. 도전체층 표면에 남아 있는 감광막 세꺼기를 애싱(ashing)을 통하여 제거한 후, 채널부의 도전체층 및 그 하부의 중간층 패턴을 식각하여 제거함으로써, 소스 전극과 드레인 전극을 분리한다. 남아 있는 감광막 제2 부분을 제거한 후, 적, 녹, 청의 컬러 필터를 화소 전극, 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

【대표도】

도 2

【색인어】

컬러 필터, 마스크, 감광막, 반투명막, 분해능

【명세서】

【발명의 명칭】

액정 표시 장치용 박막 트랜지스터 기판 및 그의 제조 방법(METHODS FOR MANUFACTURING THIN FILM TRANSISTOR PANELS FOR LIQUID CRYSTAL DISPLAY)

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 2 및 도 3은 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이고,

도 4a는 본 발명의 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 4b 및 4c는 각각 도 4a에서 IVb-IVb' 선 및 IVc-IVc' 선을 따라 잘라 도시한 단면도이며,

도 5a 및 5b는 각각 도 4a에서 IVb-IVb' 선 및 IVc-IVc' 선을 따라 잘라 도시한 단면도로서, 도 4b 및 도 4c 다음 단계에서의 단면도이고,

도 6a는 도 5a 및 5b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 6b 및 6c는 각각 도 6a에서 VIb-VIb' 선 및 VIc-VIc' 선을 따라 잘라 도시한 단면도이며,

도 7a 내지 7c, 도 8a 내지 8c 및 도 9a 내지 9c는 두께가 다른 감광막을 형성하는 예를 도시한 단면도이고,

도 10a, 11a, 12a와 도 10b, 11b, 12b는 각각 도 6a에서 VIb-VIb' 선 및 VIc-VIc' 선을 따라 잘라 도시한 단면도로서 도 6b 및 6c 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 13a는 도 12a 및 12b 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 13b 및 13c는 각각 도 13a에서 XIIIb-XIIIb' 선 및 XIIIc-XIIIc' 선을 따라 잘라 도시한 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <1> 본 발명은 액정 표시 장치용 박막 트랜지스터 기판의 그 제조 방법에 관한 것이다.
- <13> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 통과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.
- <14> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 두 기판 중 하나에는 박막 트랜지스터가 형성되어 있으며, 나머지 다른 기판에는 컬러 필터가 형성되는 것이 일반적이다.

«16» 막막 트랜지스터와 적(R), 녹(G), 청(B) 컬러 필터가 형성되어 있는 각각의 기판을 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이다. 이때, 막막 트랜지스터가 형성되어 있는 기판을 통상 5장 또는 6장의 마스크를 이용한 사진 식각 공정으로 제조하며, 컬러 필터가 형성되어 있는 기판을 3장 또는 4장의 마스크를 이용한 사진 식각 공정으로 제조한다.

«17» 이러한 액정 표시 장치의 제조 방법은 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다.

【발명이 이루고자 하는 기술적 과제】

«18» 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치용 막막 트랜지스터 기판을 제조할 때 마스크 수를 줄일 수 있는 새로운 방법을 제공하는 것이다.

【발명의 구성 및 작용】

«19» 이러한 과제를 달성하기 위하여 본 발명에서는 소스 및 드레인 전극을 분리할 때 다른 부분보다 두께가 얇은 감광막을 소스 및 드레인 전극의 사이에 형성하여 필요에 따라 어떤 막을 식각할 때는 하부막이 식각되지 않도록 보호하고, 보호막으로서 적, 녹, 청의 컬러 필터를 형성한다.

«20» 본 발명에 따르면, 먼저 절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선과 게이트 배선을 덮는 게이트 절연막 패턴 및 그 위의 방호층 패턴과 저항성 접촉층 패턴을 형성하고, 그 위에 서로 분리되어 형성되어 있으며 통공한 층으로 만들어진 소스 전극 및 드레인 전극과, 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성한다. 데이터 배선을 덮으며 드레인 전극을 노출시키는 제1 감광층을 형성하고 적

, 녹, 청 컬러 필터를 형성하고, 제1 집주층을 통하여 프레임 전극과 연결되는 화소 전극을 형성한다. 소스 및 프레임 전극의 분리는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 소스 전극 및 프레임 전극 사이에 위치하며 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 두께가 없는 제3 부분을 포함한다.

<20> 여기서, 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 셋째 부분과 빛이 완전히 투과될 수 있는 둘째 부분 및 빛이 완전히 투과될 수 없는 첫째 부분을 포함하고, 감광막 패턴은 양성 감광막이며, 마스크의 셋째, 둘째, 첫째 부분은 노광 과정에서 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 것이 바람직하다.

<21> 이때, 마스크의 셋째 부분은 반투명막을 포함하거나, 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함할 수 있다.

<22> 이와는 달리 감광막 패턴의 제1 부분을 리플로우를 통하여 형성할 수도 있다.

<23> 한편, 감광막 패턴의 제1 부분의 두께는 제2 부분의 두께의 1/4 이하인 것이 좋으며, 특히, 감광막 패턴의 제2 부분의 두께는 1 μm 내지 2 μm 이고, 제1 부분의 두께는 4,000 \AA 이하인 것이 바람직하다.

<24> 본 발명의 한 실시예에 따르면, 데이터 배선과 집주층 패턴과 반도체 패턴 및 게이트 집연막 패턴을 하나의 마스크를 사용하여 형성할 수 있다. 이 경우, 게이트 집연막 패턴, 반도체 패턴, 집주층 패턴 및 데이터 배선은 다음과 같은 단계를 거쳐서 형성된다. 먼저, 게이트 집연막, 반도체층, 집주층 및 도전층을 순차하고, 그 위에 감광막을 도포한 후, 마스크를 통하여 노광, 현상하여 제2 부분이 데이터 배선의 상부에 위치하도록 감광막 패턴을 형성한다. 이 후, 제2 부분 아래의 도전층과 그 일부를 집주층과 반도체층과 게이트 집연막, 제1 부분과

그 아래의 도전층 및 집속층, 그리고 제2 부분의 일부 두께를 식각하여 도전층, 집속층, 반도체층, 게이트 절연막으로 각각 이루어진 데이터 배선, 집속층 패턴, 반도체 패턴, 게이트 절연막 패턴을 형성한 후 감광막 패턴을 제거한다. 이 때, 데이터 배선, 집속층 패턴, 반도체 패턴, 게이트 절연막 패턴은 다음의 세 단계를 거쳐서 형성할 수 있다. 먼저, 제3 부분 아래의 도전층을 습식 또는 건식 식각하여 집속층을 노출시키고, 다음, 제3 부분 아래의 집속층과 그 아래의 반도체층과 그 아래의 게이트 절연막을 제1 부분과 함께 건식 식각하여 제3 부분 아래의 기판과 제1 부분 아래의 도전층을 노출시키고 동시에 반도체층으로 이루어진 반도체 패턴을 완성한다. 마지막으로, 제1 부분 아래의 도전층과 그 아래의 집속층을 식각하여 제거함으로써 데이터 배선과 집속층 패턴을 완성한다.

한편, 게이트 배선은 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 데이터 배선은 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하고, 컬러 필터는 게이트 패드 및 데이터 패드를 노출시키는 제2 및 제3 집속 구멍을 가지고 있으며, 이 경우 제2 및 제3 집속 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되며 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함할 수 있다.

그러면, 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치 및 그 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

앞서 설명한 바와 같은 본 발명에서는 통상적인 구조로 만들어진 소스 전극과 드레인 전극을 분리할 때 두 전극 사이의 두께가 불균일하게 패턴화 될 수 있으므로, 보조전극을 제1, 제2, 제3

컬러 필터로 형성함으로써 공성 수를 줄인다.

본서, 도 1 내지 도 3을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이다. 도 2 및 도 3은 각각 도 1에 도시한 박막 트랜지스터 기판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이다.

<30> 먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨-Ta 등의 금속 또는 도전체로 만들어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 주사 신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)의 일부인 방각 트랜지스터의 게이트 전극(26), 그리고 게이트선(22)과 평행하며 상판의 공통 전극에 접촉되는 공통 전극 전압 따위의 전압을 외부로부터 인가 받는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(82)과 연결된 유지 축전기용 도전체 패드(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분한 경우 형성하지 않을 수도 있다.

케이브 배선(22, 24, 26, 28)은 탄일층으로 형성될 수도 있지만, 이중층이나 삼중층으로 형성될 수도 있다. 이중층 이상으로 형성하는 경우에는 각 층은 직장의 각을 모두 갖고 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하며, Cu, AlCl₃, 또는 Al 합금)의 이중층 또는 Al-Mo의 이중층이 그 예이다.

- 4.2.2. 게이트 배선(22, 24, 26, 28) 및 기판(10) 위에는 질화규소(SiN_x) 파워로 이루어진 게이트 절연막(32, 38)이 형성되어 있으며, 게이트 전극(24)은 게이트 절연막 패턴(32)으로 덮여 있다.
- 4.3. 게이트 절연막 패턴(32, 38) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 파워의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 파워의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 파워로 이루어진 직항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(55, 56, 58)이 형성되어 있다.
- 4.4. 접촉층 패턴(55, 56, 58) 위에는 Mo 또는 MoW 합금, Cr, Al 또는 Al 합금, Ta 파워의 도전 물질로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 제로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가 받는 데이터 패드(64), 그리고 데이터선(62)의 분기인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터전부를 포함하며, 또한 데이터전부(62, 64, 65)와 분리되어 있으며 게이트 전극(26) 또는 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 유지 전극(28) 위에 위치하고 있는 유지-축전기용 도전체 패턴(68)도 포함한다. 유지 전극(28)을 형성하지 않을 경우 유지-축전기용 도전체 패턴(68) 또한 형성하지 않는다.
- 4.5. 데이터 배선(62, 64, 65, 66, 68)은 게이트 배선(22, 24, 26, 28)과 마찬가지로 단일층으로 형성될 수도 있거나, 이중층이나 삼중층으로 형성될 수도 있다. 물론, 필요에 따라서는 형성하는 경우에는 한 층을 절연막, 다른 층을 도전체로 형성하고 다른 층을 다른 물질과 함께 형성하는 층을 물질로 만드는 것이 바람직하다.

③②> 접속중 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접속 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 동일한 형태를 가진다. 즉, 데이터전부 중간층 패턴(55)은 데이터전부(62, 64, 65)와 동일한 형태이고, 드레인 전극용 중간층 패턴(56)은 드레인 전극(66)과 동일한 형태이며, 유지 축전기용 중간층 패턴(58)은 유지 축전기용 도전체 패턴(68)과 동일한 형태이다. 여기서, 도면으로는 구체적으로 도시되어 있지 않지만, 데이터 배선(62, 64, 65, 66, 68)의 밖으로 접속중 패턴(55, 56, 58)이 나오도록 형성되어 계단 모양의 구조를 가질 수도 있다.

③③> 한편, 반도체 패턴(42, 48)은 게이트 절연막 패턴(32, 38)과 동일한 모양을 하고 있으며, 반도체 패턴(42, 48)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(62, 64, 65, 66, 68) 및 접속중 패턴(55, 56, 57)과 동일한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)과 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접속중 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접속중 패턴의 나머지 부분과 약간 다르다. 즉, 박막 트랜지스터의 채널부(C)에서 데이터전부(62, 64, 65), 부하 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터전부 중간층(55)과 드레인 전극용 접속중 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

③④> 데이터 배선(62, 64, 65, 66, 68)과 데이터 배선으로 가려져 있는 부하 소스(22)와 게이트 배선(22, 24, 26, 28) 위에는 직, 복, 장의 길의 필터(75, 77, 79)가 형성되어 있으며, 직, 복, 장의 길의 필터(75, 77, 79)는 드레인 전극(66), 게이트 패턴(24), 게이트 패턴(26) 및 유지 축전기용 도전체 패턴(68)을 가려주는 접속층(71, 73, 74)을 형성시킨다.

40. 각, 즉, 텅의 컬러 필터(75, 77, 79) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 ITO(indium tin oxide) 따위의 투명한 도전 물질로 만들어지며, 금속 구멍(71)을 통하여 드레인 전극(66)과 물리적으로 전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(82)은 또한 이웃하는 게이트선(22) 및 데이터선(62)과 중첩되어 캐패시터를 높이고 있으나, 중첩되지 않을 수도 있다. 또한 화소 전극(82)은 금속 구멍(71)을 통하여 유자 축전기용 도전체 패턴(68)과도 연결되어 도전체 패턴(68)으로 화상 신호를 전달한다. 한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 금속 구멍(72, 73)을 통하여 각각 이들과 연결되는 보조 게이트 패드(84) 및 보조 데이터 패드(86)가 형성되어 있으며, 이들은 패드(24, 64)와 외부 회로 장치와의 접속성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.

400. 그러면, 본 발명의 실시예에 따른 액정 표시 장치용 기판의 제조 방법에 대하여 도 4a 내지 13c와 앞서의 도 1 내지 도 3을 참고로 하여 상세히 설명한다.

410. 먼저, 도 4a 내지 4c에 도시한 바와 같이, 금속 따위의 도전체층을 스퍼터링 따위의 방법으로 1,000 Å 내지 3,000 Å의 두께로 증착하고 마스크를 이용한 식 변해 처리 공정으로 결식 패턴을 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24), 게이트 전극(26) 및 유자 전극(28)을 포함하는 게이트 배전을 형성한다.

420. 다음, 도 5a 및 5b에 도시한 바와 같이, 제1회 절연막(30), 반도체층(40), 증착층(50)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 300 Å 내지 600 Å의 두께로 연속 증착하고, 이어 금속 따위의 도전체층(60)을 스퍼터링 또는 방법 별로 1.5 × 10⁻³ Å 내지 5 × 10⁻³ Å의 두께로 증착한 다음 스퍼터링 또는 방법

m 내지 2 μ m의 두께로 도포한다.

<13> 그 후, 마스크를 두 번째 사진 공정을 통하여 감광막(110)에 빛을 조사한 후 현상하여 도 6b 및 6c에 도시한 바와 같이, 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 주 소스 전극(65)과 드레인 전극(66) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 주 데이터 배선(62, 64, 65, 66, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막을 모두 제거한다. 이 때, 채널부(C)에 남아 있는 감광막(114)의 두께와 데이터 배선부(A)에 남아 있는 감광막(112)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(114)의 두께를 제2 부분(112)의 두께의 1/4 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다. 더욱 바람직하게는, 제2 부분은 16,000~19,000 Å 정도이고, 제1 부분은 3,000 Å 정도의 두께로 형성하는 것이 좋다.

<14> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 여기에서는 양성 감광막을 사용하는 경우에 대하여 두 가지 방법을 제시한다.

<15> 그 중 첫 번째는 도 7a 내지 7c에 도시한 것으로서 마스크에 해상도보다 작은 패턴, 예를 들면 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 것이다.

<16> 먼저 도 7a에서와 같이 기판(10) 위에 증착되어 있는 박막(300) 위에 감광막(200)을 도포한다. 이 경우 감광막(200)의 두께는 분할값인 두께보다 두께를 갖지 못하여서는 안 될 경우 남은 막을 조절하여 속해 하기 위함이다.

<17> 다음, 도 7b에서와 같이, 슬릿(11)이 형성된 광 마스크(12)를 이용하여 빛을 조사

한다. 이 때, 슬릿(410) 사이에 위치한 패턴(420)의 전폭이나 패턴(420) 사이의 간격은 슬릿(410)의 폭이 노광각의 분해능보다 작다. 한편, 반투명막을 이용하는 경우에는 마스크(400)를 제작할 때 사용되는 크롬(Cr)층(도시하지 않음)을 완전히 제거하지 않고 일정 두께만큼 남겨 이 부분을 통하여 들어오는 빛의 조사량이 줄어들도록 한다.

418) 이와 같은 마스크를 통하여 감광막(200)에 빛을 조사하면 빛에 노출된 감광막(200)의 표면으로부터 고분자들이 빛에 의하여 분해되며, 빛의 조사량이 늘어날수록 점점 아래에 위치한 고분자들도 분해된다. 빛에 직접 노출되는 부분, 예를 들면 도 7b의 가장자리 부분에서 가장 하부의 고분자들이 완전히 분해될 때 노광을 마친다. 그러나, 빛에 직접 노출되는 부분에 비하여 슬릿(410)이 형성되어 있는 부분의 조사량이 적으므로 이 부분에서 감광막(200) 하부의 분자들은 분해되지 않은 상태이다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다. 도 7b에서 도면 부호 210은 분해가 된 부분이고, 220은 분해되지 않은 부분이다.

419) 이 감광막(210, 220)을 현상하면, 도 7c에 도시한 바와 같이 분자들이 분해되지 않은 부분(220)만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 작은 두께의 감광막이 남는다.

420) 다음 방법은 감광막의 리플로우(reflow)를 이용하는 것이다. 이를 도 8a 내지 8c와 도 9a 내지 9c에 도시한 방법을 예로 들어 설명한다.

421) 도 8a에 도시한 바와 같이, 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상의 마스크(400)를 사용하여 노광하면 통상의 경우와 마찬가지로 빛에 조사되지 않은 부분들이 분해된 부분(21)과 그렇지 않은 부분(22)이 만들어진다. 이 경우라면 도 8a에 도시한 바와 같이 슬릿(410)이 없기 때문에 빛이 투과할 수 있는 부분과

광택 패턴이 만들어진다. 이러한 감광막 패턴을 리플로우시켜 남아 있는 감광막(220)의 감광막이 없는 부분으로 흘러내려 얇은 막을 형성함으로써 새로운 감광막 패턴(250)이 형성된다.

<53> 그런데, 이와 같이 리플로우를 하더라도 두 감광막 패턴(220) 사이의 부분이 모두 떨어지지 않을 수 있다. 이 경우에는 도 9a와 같이 노광기에 사용되는 광원의 분해능보다 작은 크기의 불투명한 패턴(130)을 마스크(400)에 형성한다. 그러면 도 9b에 도시한 바와 같이 현상 후에는 두께가 두꺼운 부분(220)의 사이에 두께가 얇은 작은 부분(230)이 형성된다. 이를 리플로우시키면 도 9c에서와 같이 두께가 두꺼운 부분 사이에 얇은 부분이 있는 감광막 패턴(240)이 형성된다.

<53> 이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

<54> 이어, 감광막 패턴(114) 및 그 하부의 막들, 즉 도전층(60), 중간층(50), 반도층(40) 및 게이트 절연막(30)에 대한 직각을 간행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도층만을 남아 있어야 하며, 나머지 부분(B)에는 위의 4개층(60, 50, 40, 30)이 모두 제거되어 기판(10)에 드러나야 한다.

<55> 먼저, 도 10a 및 10b에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전층(60)을 제거하여 그 하부의 중간층(50)을 노출시킨다. 이 과정에서는 전직 직각광 또는 습식 직각광 방법을 모두 사용할 수 있으며, 이때 도전층(60)을 직각피고 감광막 패턴(112, 114)은 직각되지 않는 조건 하에서 행하는 것이 좋다. 그러나, 전직 직각의 경우 도전층(60)만을 직각하고 감광막 패턴(112, 114)을 직각하지 않는 조건을 충족할 경우, 그 후 감광막 패턴(112, 114)도 직각되지 않는 조건 하에서 행할 수 있다. 이 경우에는 도 11 직각의 결과로

다 제1 부분(114)의 두께를 두껍게 하여 이 과정에서 제1 부분(114)이 제거되어 하부의 도전체층(60)이 드러나는 일이 생기지 않도록 한다.

<56> 도전체층(60)이 Mo 또는 MoW 합금, Al 또는 Al 합금, Ta 중 어느 하나인 경우에는 건식 식각이나 습식 식각 중 어느 것이라도 가능하다. 그러나 Cr은 건식 식각 방법으로는 잘 제거되지 않기 때문에 도전체층(60)이 Cr이라면 습식 식각만을 이용하는 것이 좋다. 도전체층(60)이 Cr인 습식 식각의 경우에는 식각액으로 $CeNH_4O_3$ 를 사용할 수 있고, 도전체층(60)이 Mo나 MoW인 건식 식각의 경우의 식각 기체로는 CF_4 와 HCl의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 사용할 수 있으며 후자의 경우 감광막에 대한 식각비도 거의 비슷하다.

<57> 이렇게 하면, 도 10a 및 도 10b에 나타난 것처럼, 채널부(C) 및 데이터 배선부(B)의 도전체층, 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 중간층(50)이 드러난다. 이때 남은 도전체 패턴(67, 68)은 소스 및 드레인 전극(65, 66)이 분리되지 않고 연결되어 있는 것을 제외하면 데이터 배선(62, 64, 65, 66, 68)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(112, 114)도 어느 정도의 두께로 식각된다.

<58> 이어, 도 11a 및 11b에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(50), 그 하부의 반도체층(40) 및 그 하부위 게이트 절연막(30)을 감광막의 제1 부분(114)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(112, 114)과 중간층(50), 반도체층(40)(반도체층과 중간층은 식각 선택성이 거의 없음) 및 게이트 절연막(30)이 차례로 식각되며 드러난 게이트 배선(22, 24, 26, 28)은 식각되지 않는 조건 하에서 행하여야 한다. 이때, 감광막 패턴(112, 114)과 반도체층(40) 및 게이트 절연막(30)에 대한 식각비

가 동일한 경우 제1 부분(111)의 두께는 반도체층(40)과 중간층(50) 및 게이트 절연막(30)의 두께를 합한 것과 같거나 그보다 작아야 한다. 이때, 본 발명의 실시예에서는 기판(10) 및 게이트 배선(22, 24, 26, 28)이 드러나도록 게이트 절연막(30)을 식각하였지만, 게이트 절연막(30)의 일부를 기판(10) 및 게이트 배선(22, 24, 26, 28)을 덮도록 남길 수도 있다.

500> 이렇게 하면, 도 11a 및 11b에 나타낸 바와 같이, 채널부(C)의 제1 부분(111)이 제거되어 소스/드레인용 도전체 패턴(67)이 드러나고, 기타 부분(B)의 중간층(50), 반도체층(40) 및 게이트 절연막(30)이 제거되어 그 하부의 기판(30) 또는 게이트 배선(22, 24, 26, 28)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(112) 역시 식각되므로 두께가 얇아진다. 또한, 이 단계에서 반도체 패턴(42, 48) 및 게이트 절연막(32, 38)이 완성된다. 도면 부호 57과 58은 각각 소스/드레인용 도전체 패턴(67) 하부의 중간층 패턴과 유기 층전이용 도전체 패턴(68) 하부의 중간층 패턴을 가리킨다.

600> 이어 애싱(ashing)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(67) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

700> 다음, 도 12a 및 12b에 도시한 바와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 소스/드레인용 중간층 패턴(57)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(67)에 대해서는 습식 식각으로, 중간층 패턴(57)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(67)과 중간층 패턴(57)의 식각 선택비 수를 1.6 이하에서 처리할 것이 바람직하며, 뒤를 식각 선택비 1.6 이상을 갖는 식각층을 증착하여 식각을 행하면, 채널부(C)에 남는 반도체층은 120 Å 이하

두께를 조절하기가 쉽지 않기 때문이다. 예를 들면, SF_6 와 O_2 의 혼합 기체를 사용하여 소스/드레인용 도전체 패턴(67)을 식각하는 것을 들 수 있다. 습식 식각과 건식 식각을 번갈아 하는 후자의 경우에는 습식 식각되는 소스/드레인용 도전체 패턴(67)의 측면은 식각되지만, 건식 식각되는 중간층 패턴(57)은 거의 식각되지 않으므로 계단 모양으로 만들어진다. 중간층 패턴(57) 및 반도체 패턴(42)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한 CF_4 와 HCl 의 혼합 기체나 CF_4 와 O_2 의 혼합 기체를 들 수 있으며, CF_4 와 O_2 를 사용하면 균일한 두께로 반도체 패턴(42)을 남길 수 있다. 이때, 도 12b에 도시한 것처럼 반도체 패턴(42)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(112)도 이때 어느 정도의 두께로 식각된다. 여기서, 앞에서 설명한 바와 같이, 기판(10)의 상부에 게이트 배선(22, 24, 26, 28)을 덮는 게이트 절연막(30)을 남기는 경우에는 중간층 패턴(57) 식각시 식각될 수도 있어 게이트 배선(22, 24, 26, 28)의 일부가 드러날 수도 있다. 이때의 식각은 게이트 배선(22, 24, 26, 28)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(112)이 식각되어 그 하부의 데이터 배선(62, 64, 65, 66, 68)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

<028> 이렇게 하면, 소스 전극(65)과 드레인 전극(66)이 분리되면서 데이터 배선(62, 64, 65, 66, 68)과 그 하부의 접촉층 패턴(55, 56, 58)이 완성된다.

<038> 마지막으로 데이터 배선부(A)에 남아 있는 감광막 제2 부분(112)을 제거한다. 그러나, 제2 부분(112)의 제거는 캐실부(C) 소스/드레인용 도전체 패턴(67)을 제거한 후 그 밑의 중간층 패턴(57)을 제거하기 전에 이루어질 수도 있다.

<048> 앞에서 설명한 것처럼, 습식 식각과 건식 식각을 교대로 하거나 건식 식각만을 사용할 수 있다. 후자의 경우에는 한 종류의 식각액을 사용하므로 관적인 비교가 편리하겠지만, 앞의

을 식각 조건을 찾기가 어렵다. 반면, 전자의 경우에는 식각 조건을 찾기가 비교적 쉬우나 광
경이 후자에 비하여 번거로운 점이 있다.

<63> 이와 같이 하여 데이터 배선(62, 64, 65, 66, 68)을 형성한 후, 도 13a 내지 13c에 도
시한 바와 같이 적, 녹, 청의 안료를 포함하는 감광막을 차례로 도포하고 마스크를 이용한 세
번째, 네 번째, 다섯 번째 사진 식각 공정으로 패터닝하여 적, 녹, 청의 컬러 필터(75, 77,
79)를 차례로 형성한다. 이때, 적, 녹, 청의 컬러 필터(75, 77, 79)에 트레인 전극(66), 게
이트 패드(24), 데이터 패드(64) 및 유자 축전기용 도전체 패턴(68)을 각각 드러내는 접촉
구멍(71, 72, 73, 74)도 함께 형성한다. 여기서, 적, 녹, 청의 컬러 필터(75, 77, 79)는 데
이터선(62)을 완전히 덮도록 형성하는 것이 바람직하다. 도 13a에서 도면 부호 100은 적,
녹, 청 컬러 필터(75, 77, 79)의 경계선을 나타낸 것이다. 본 발명의 실시예에서는 적, 녹,
청의 컬러 필터(75, 77, 79)를 서로 중첩하지 않도록 도시하였지만, 이후의 제조 공정에서
데이터 배선 또는 게이트 배선이 손상되는 것을 방지하기 위하여 적, 녹, 청의 컬러 필터(75,
77, 79)를 서로 중첩하도록 형성하는 것이 바람직하다. 이때, 게이트선(22)와 데이터선
(42)이 교차하는 부분 또는 적, 녹, 청의 컬러 필터(75, 77, 79)가 중첩하여 단차가 심하게
발생할 수 있다. 이 경우에는 컬러 필터(75, 77, 79)를 형성하는 사진 식각 공정에서 부분 식
각으로 두께를 다르게 조절할 수 있는 마스크를 이용하여 단차를 줄일 수 있으며, 평탄화 공
정을 추가하여 단차를 줄이는 것이 바람직하다.

<64> 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 100 Å 내지 500 Å 두께의 ITO층을
증착하고 마스크를 사용하여 여섯 번째 사진 식각 공정으로 식각하여 화소 전극(82), 보조
전극 패드(84) 및 보조 데이터 패드(86)를 형성한다.

<65> 이와 같이 본 실시예에서는 데이터 배선(62, 64, 65, 66, 68)과 컬러 필터를 접착 수에

턴(55, 56, 58) 및 반도체 패턴(42, 48)을 마스크를 한 번의 사진 식각 공정으로 형성하고, 적, 녹, 청의 컬러 필터(75, 77, 79)를 형성하면, 마스크를 이용한 여섯 번의 사진 식각 공정으로 박막 트랜지스터와 컬러 필터를 가지는 액정 표시 장치용 기판을 제작할 수 있다.

<68> 이러한 액정 표시 장치용 기판의 제조 방법에서는 적, 녹, 청의 컬러 필터(75, 77, 79)를 보호막으로 사용하였지만, 별도의 보호막을 추가로 형성할 수 있다. 이러한 제조 방법에서는 보호막에 드레인 전극(66), 게이트 패드(24), 데이터 패드(64) 및 유지 축전기용 도전체 패턴(68)을 각각 드러내는 접촉 구멍(71, 72, 73, 74)을 형성해야 하므로 마스크를 이용한 사진 공정이 한번 더 추가된다. 이러한 경우에는 두 번째 마스크를 이용한 사진 식각 공정에서 감광막 패턴(112, 114)을 마스크로 도전체층(60)과 그 하부의 막들을 식각할 때, 게이트 절연막(30)을 식각할 필요가 없다. 그러면, 접촉 구멍(71, 72, 73, 74)을 형성하는 단계에서 보호막과 게이트 절연막도 함께 식각한다.

<69> 이러한 박막 트랜지스터 기판은 이외에도 여러 가지 변형된 형태 및 방법으로 제조할 수 있다.

【발명의 효과】

<70> 이와 같이, 본 발명에 따르면 적, 녹, 청의 컬러 필터를 가지는 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크의 수를 효과적으로 줄일 수 있다.

【특허 청구범위】

【상구항 1】

절연 기판 위에 게이트선 및 이와 연결된 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 전극을 덮는 게이트 절연막 패터를 형성하는 단계,

상기 게이트 절연막 위에 반도체 패터를 형성하는 단계,

상기 반도체 패터 위에 저항성 접촉층 패터를 형성하는 단계,

상기 접촉층 패터 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스 전극 및 드레인 전극과, 상기 소스 전극과 연결된 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮으며 상기 드레인 전극을 노출시키는 제1 접촉 구멍을 가지고 있는 식, 돌, 경 길러 필터를 형성하는 단계,

상기 제1 접촉 구멍을 통하여 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하며,

상기 소스 및 드레인 전극의 분리는 감광막 패터를 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패터를 상기 소스 전극 및 드레인 전극 사이에 위치하며 제1 부재를 가지는 제1 부분과 상기 제1 부재보다 두꺼운 부재를 가지는 제2 부분 및 부재가 없는 제3 부분을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【장구항 2】

제1항에서,

상기 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 첫째 부분과 빛이 완전히 투과될 수 있는 둘째 부분 및 빛이 완전히 투과될 수 없는 셋째 부분을 포함하고, 상기 감광막 패턴은 양성 감광막이며, 상기 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【장구항 3】

제2항에서,

상기 마스크의 첫째 부분은 반투명막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【장구항 4】

제2항에서,

상기 마스크의 첫째 부분은 상기 노광 단계에서 사용되는 광원의 분해능보다 크기가 작은 패턴을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【장구항 5】

제1항에서,

상기 감광막 패턴의 제1 부분은 리플로우를 통하여 형성되는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【정규항 6】

제1항에서,

상기 감광막 패턴의 제1 부분의 두께는 상기 제2 부분의 두께의 반 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【정규항 7】

제6항에서,

상기 감광막 패턴의 제2 부분의 두께는 $1\ \mu\text{m}$ 내지 $2\ \mu\text{m}$ 인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【정규항 8】

제7항에서,

상기 감광막 패턴의 제1 부분의 두께는 $1,000\ \text{\AA}$ 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【정규항 9】

제1항에서,

상기 데이터 배선과 상기 검출층 패턴, 상기 반도체 패턴 및 상기 게이트 절연막 패턴을 하나의 마스크를 사용하여 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【정규항 10】

제9항에서,

상기 게이트 절연막 패턴, 상기 반도체 패턴, 상기 검출층 패턴 및 상기 데이터 배선의 절연막 패턴.

상기 게이트 절연막, 반도체층, 접촉층 및 도전층을 증착하는 단계,

상기 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분이 상기 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 도전층과 그 하부의 상기 접촉층, 반도체층 및 게이트 절연막 상기 제1 부분과 그 아래의 상기 접촉층 및 접촉층, 그리고 상기 제2 부분의 일부 두께를 식각하여 상기 도전층, 상기 접촉층, 상기 반도체층 및 상기 게이트 절연막으로 각각 이루어진 상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴 및 상기 게이트 절연막 패턴을 형성하는 단계,

상기 감광막 패턴을 제거하는 단계

를 포함하는 액징 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【장구항 11】

제10항에서,

상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴, 상기 게이트 절연막 패턴의 형성 단계는,

상기 제3 부분 아래의 상기 도전층을 습식 또는 건식 식각하여 상기 접촉층을 노출시키는 단계,

상기 제3 부분 아래의 접촉층, 그 아래의 상기 반도체층 및 그 아래의 상기 게이트 절연막과 상기 제1 부분과 함께 건식 식각하여 상기 제3 부분 아래의 상기 게이트 절연막 및

상기 기판과 상기 제1 부분 아래의 상기 도전층을 노출시킴과 동시에 상기 반도체층 및 상기 게이트 절연막으로 이루어진 상기 반도체 패턴과 상기 게이트 절연막 패턴을 완성하는 단계,

상기 제1 부분 아래의 상기 도전층과 그 아래의 상기 접속층을 식각하여 제거함으로써 상기 데이터 배선과 상기 접속층 패턴을 완성하는 단계

를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【상구항 12】

제1항에서,

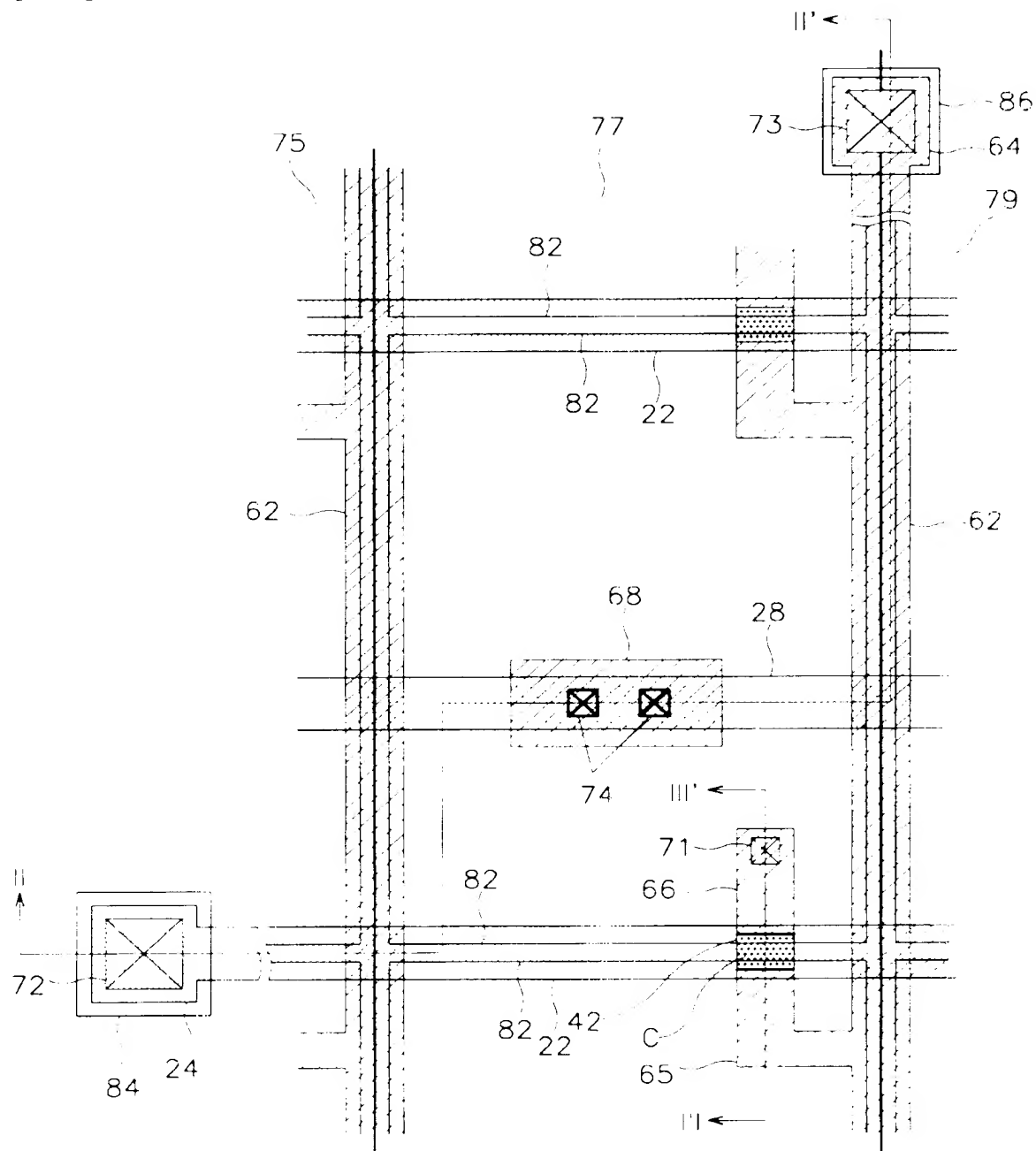
상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 직, 복, 경의 컬러 필터는 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접속 구멍을 가지고 있으며,

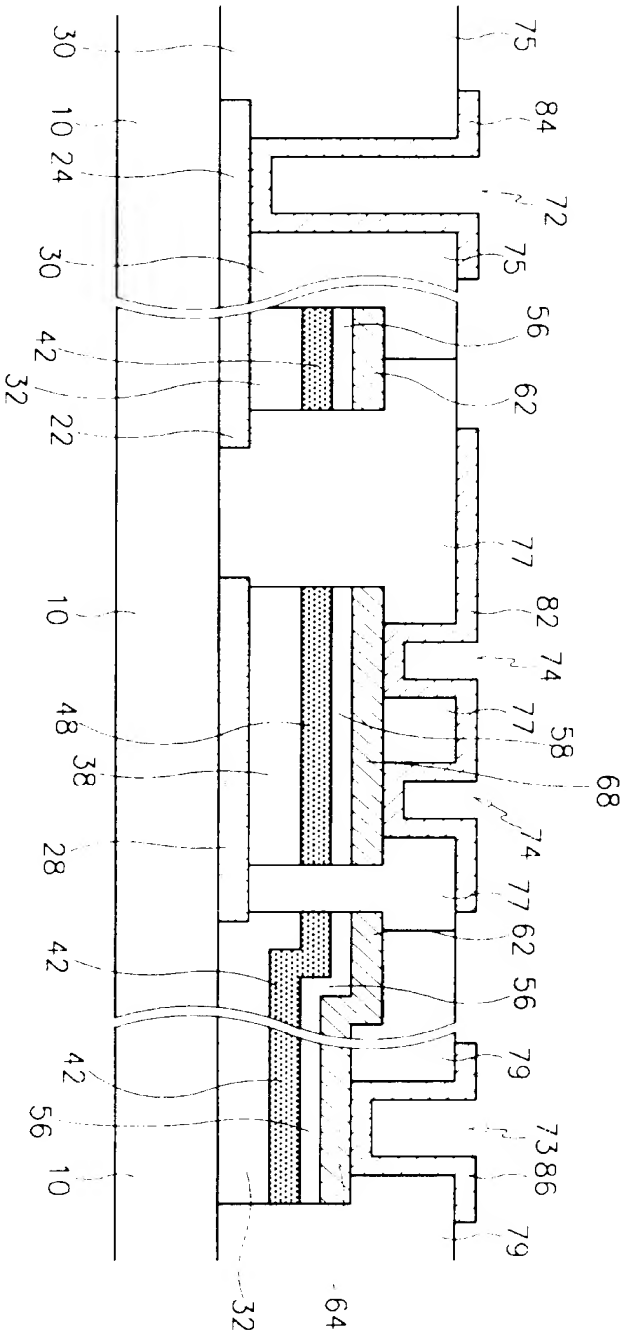
상기 제2 및 제3 접속 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되어 상기 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

【図8】

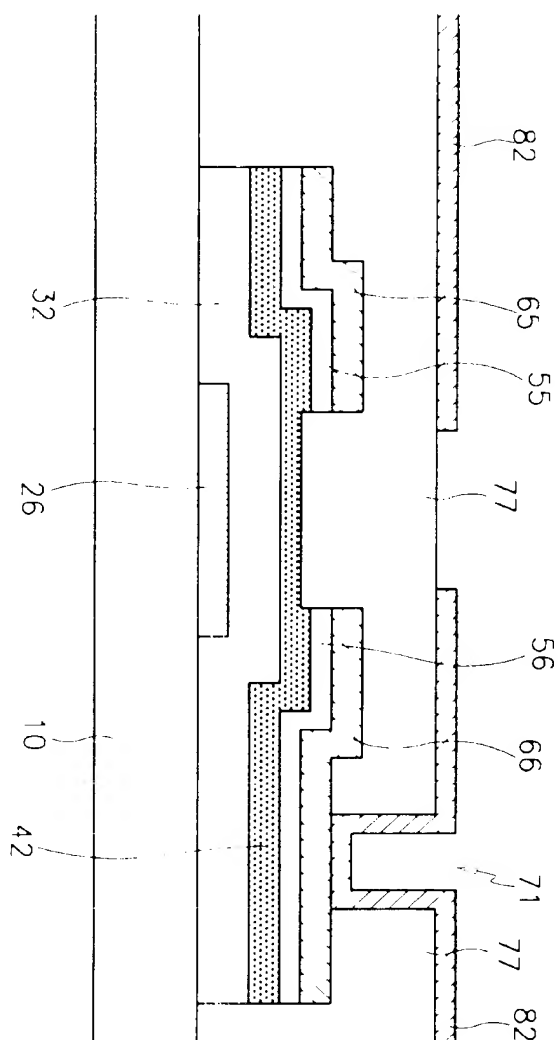
【図1】



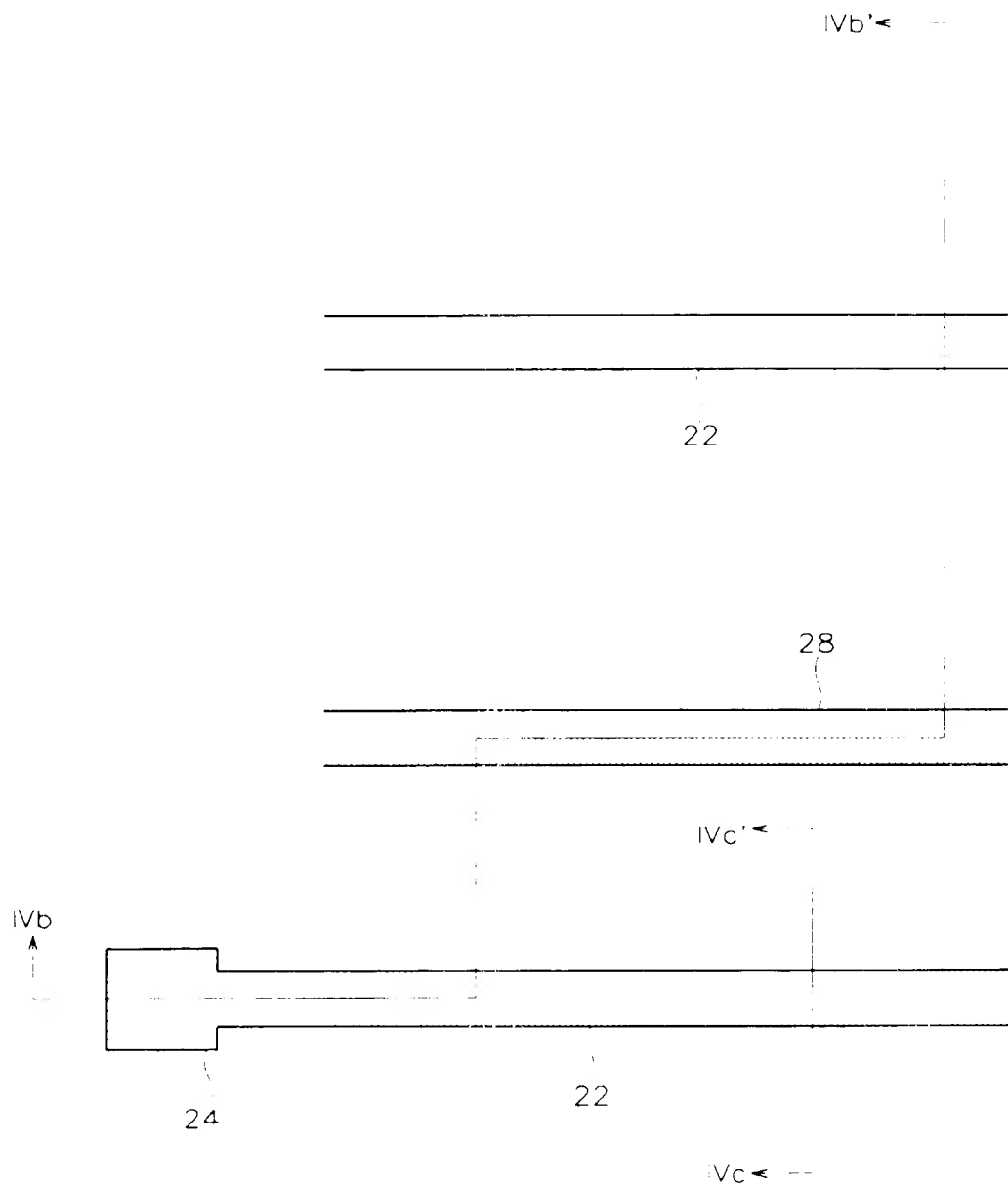
【図 2】



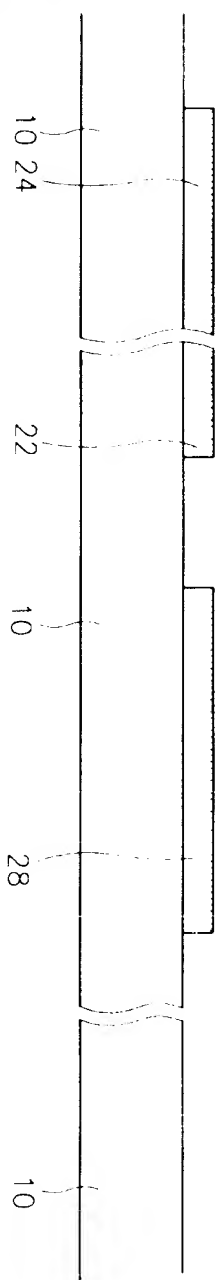
【53】



【B-1a】



【図 4b】



1010000014806

10000027

【図 1c】

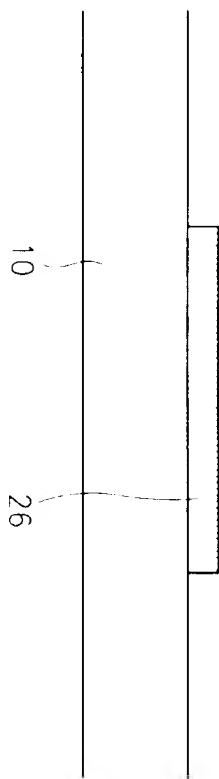
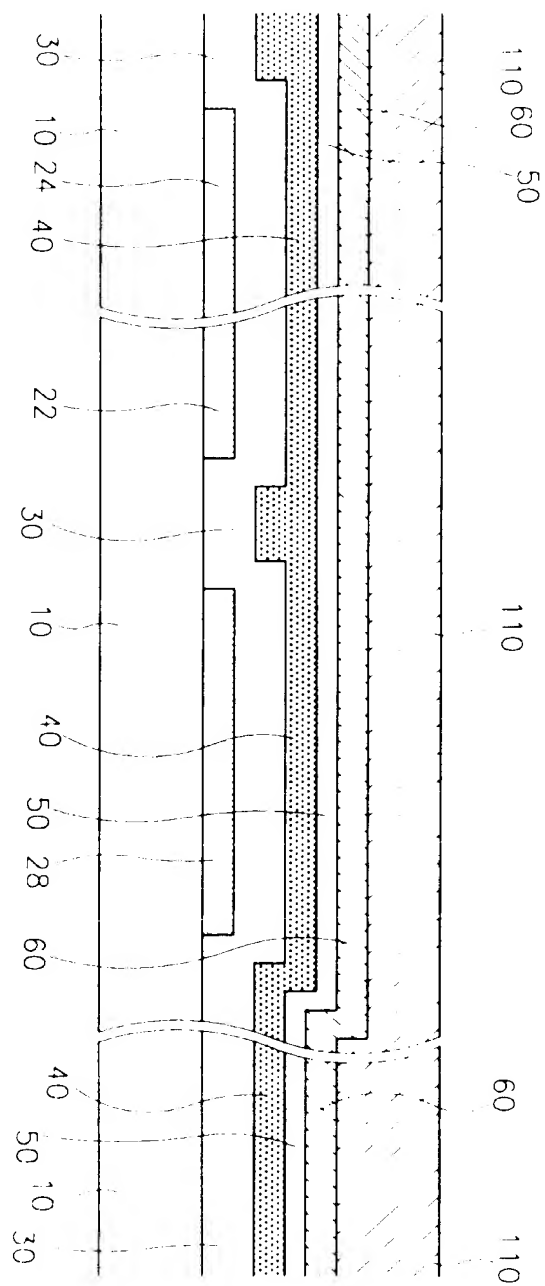
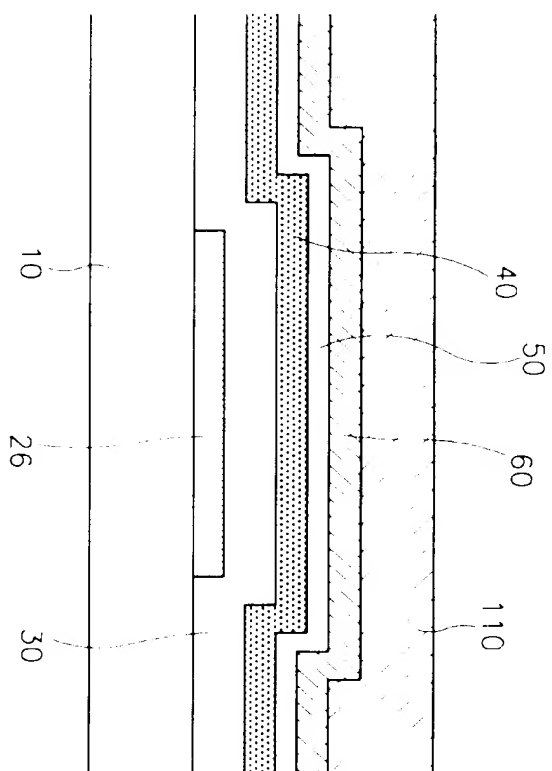


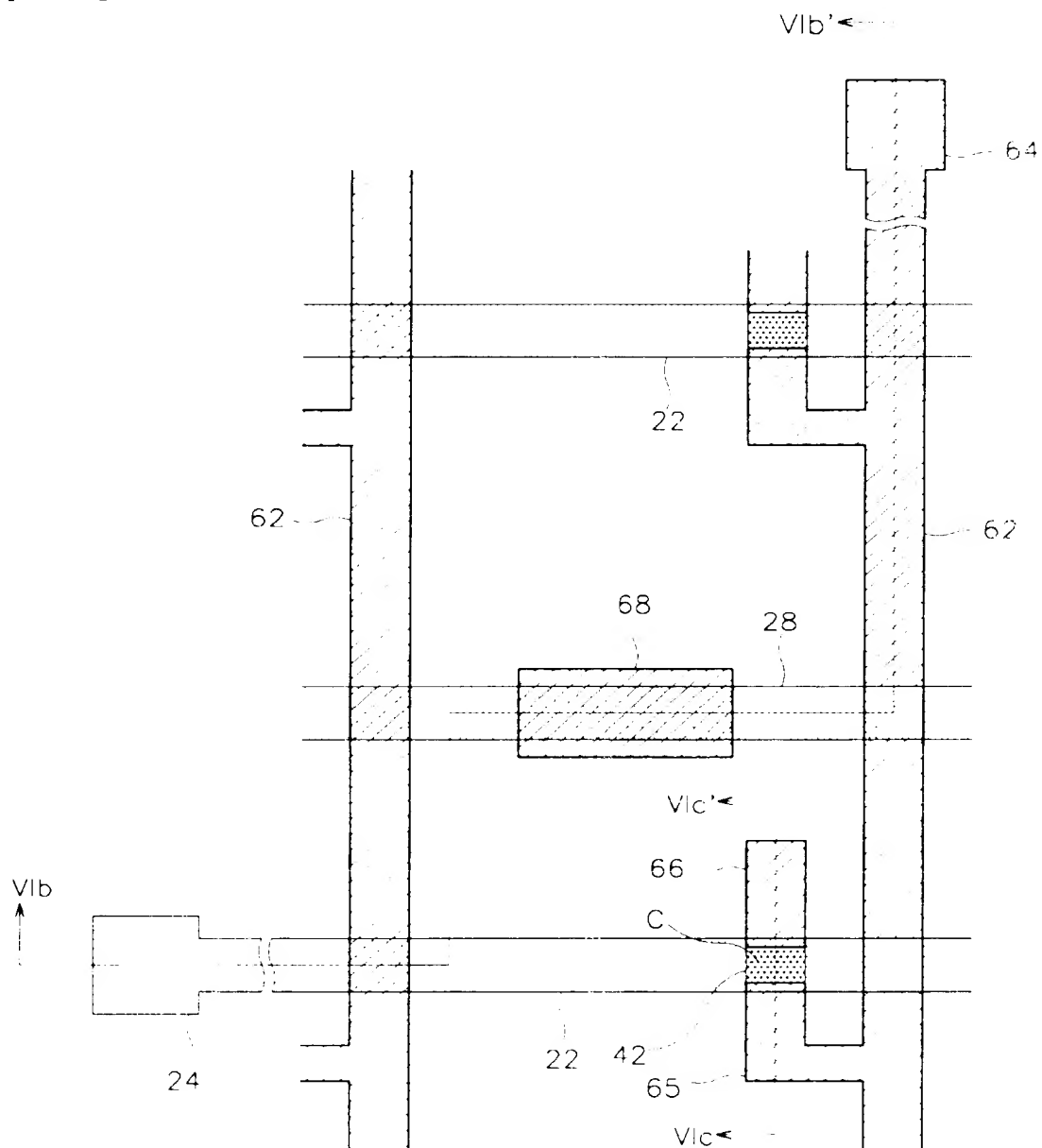
FIG. 5a



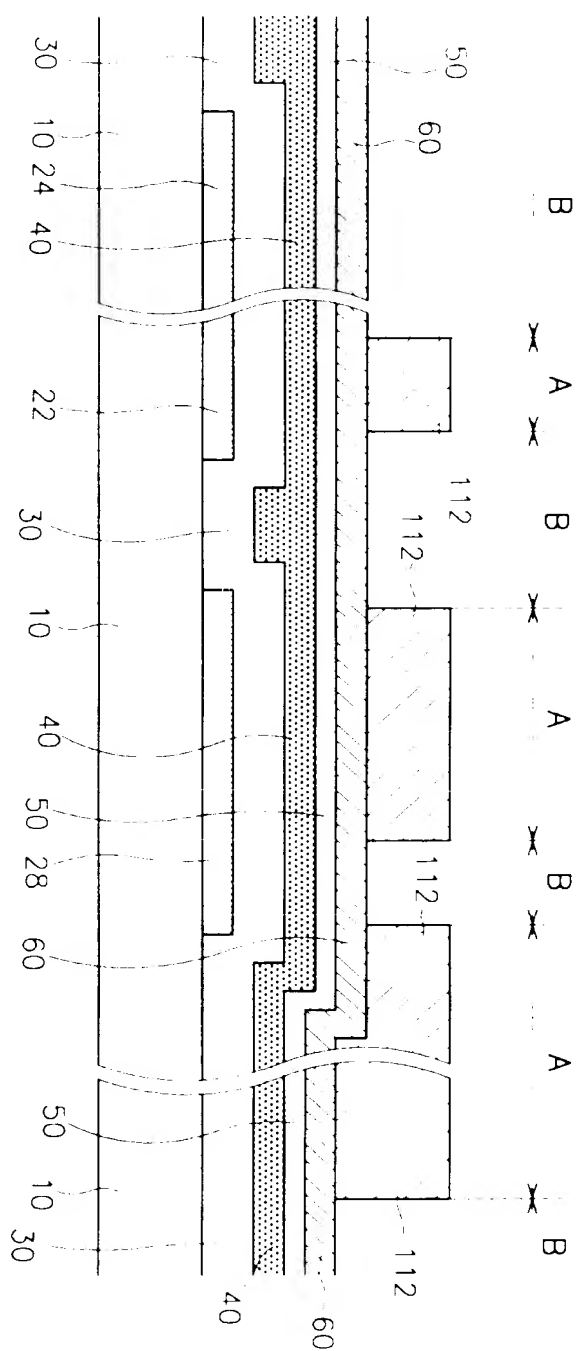
【A-5b】



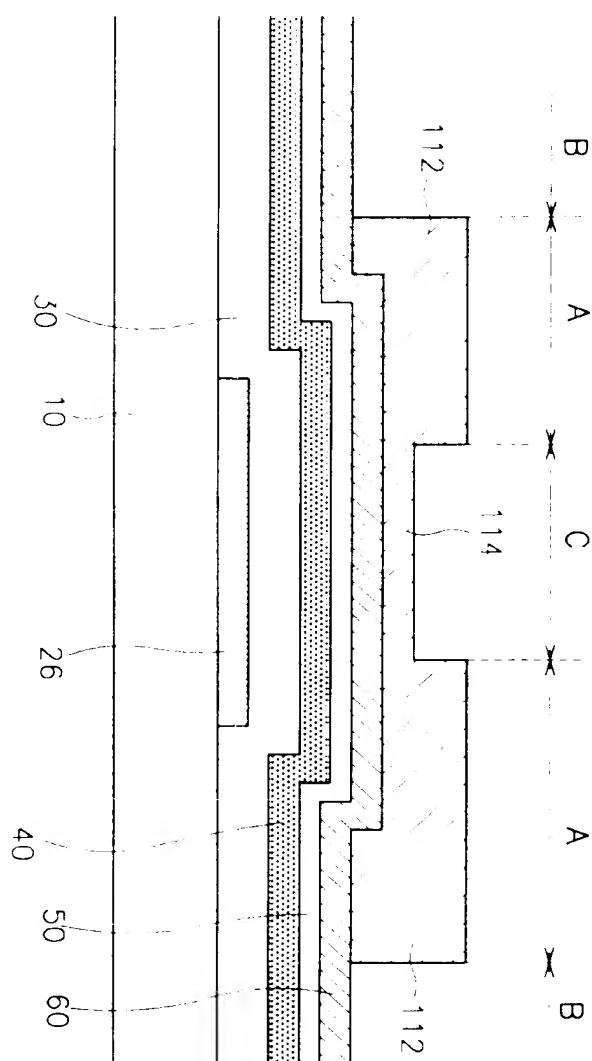
【図 0a】



【A1-6b】



【図 6c】



【31.7a】

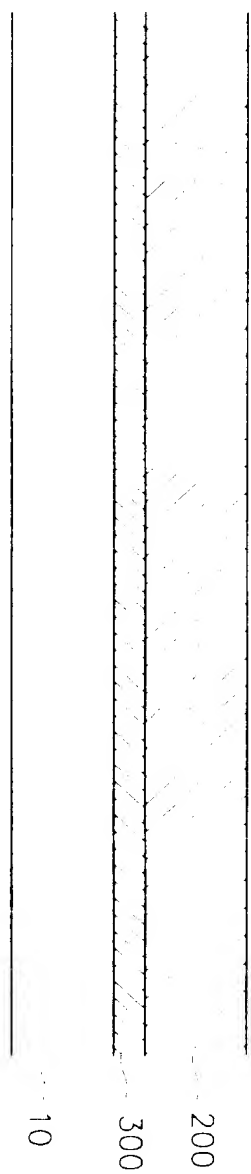
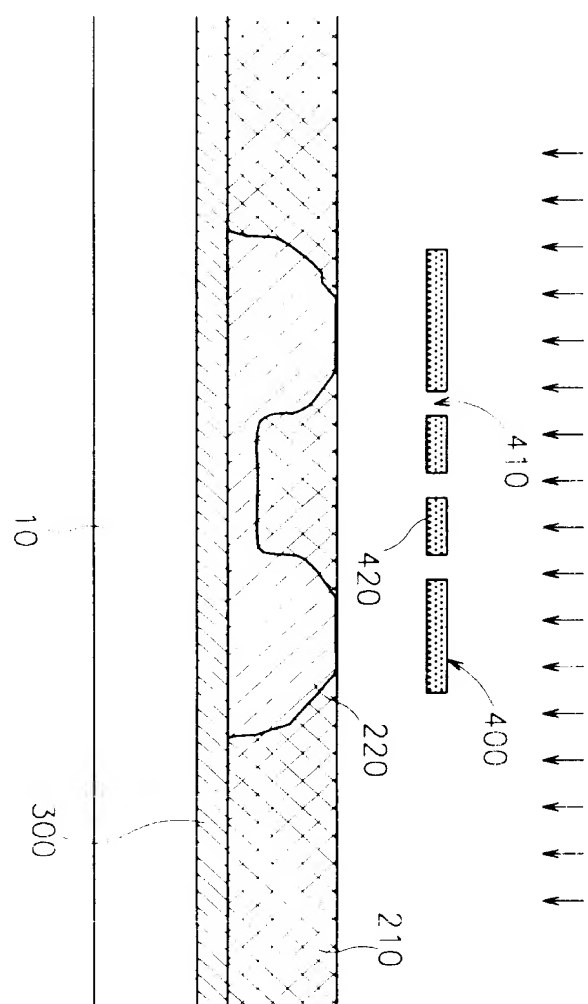
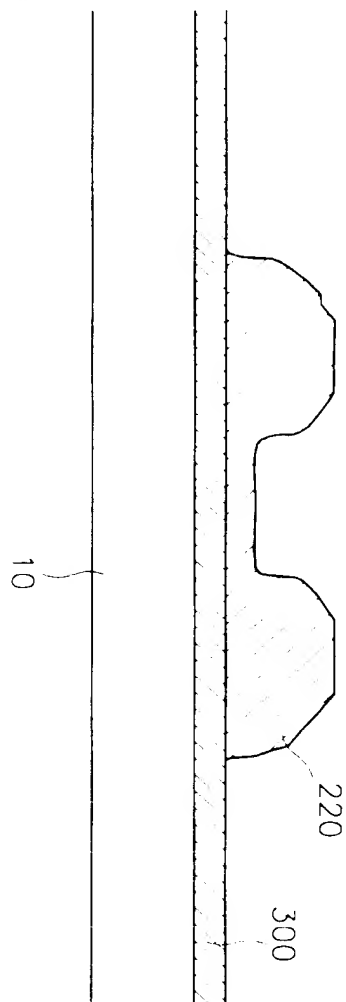


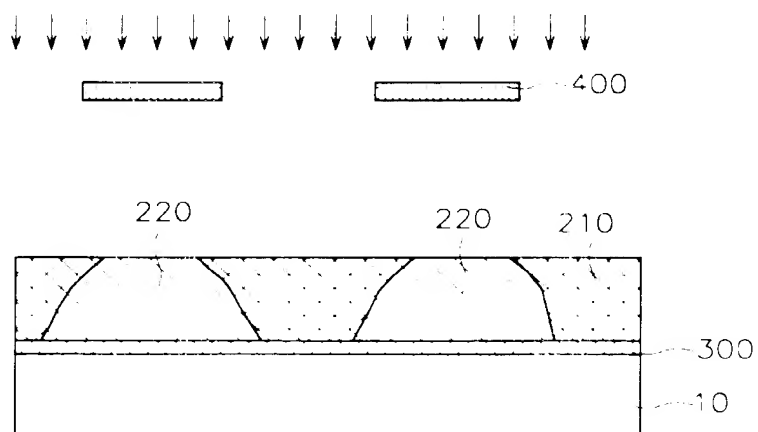
FIG. 11



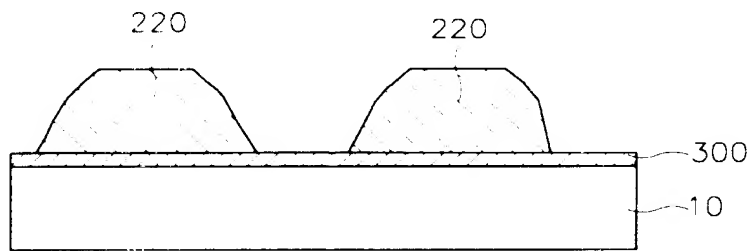
【Fig. 7c】



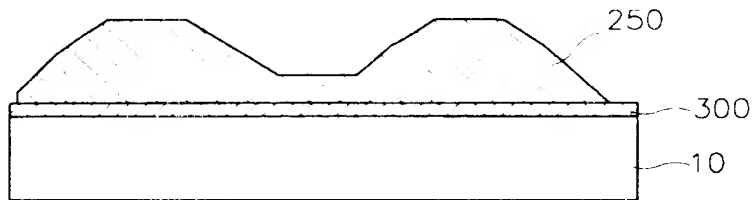
【Fig. 8a】



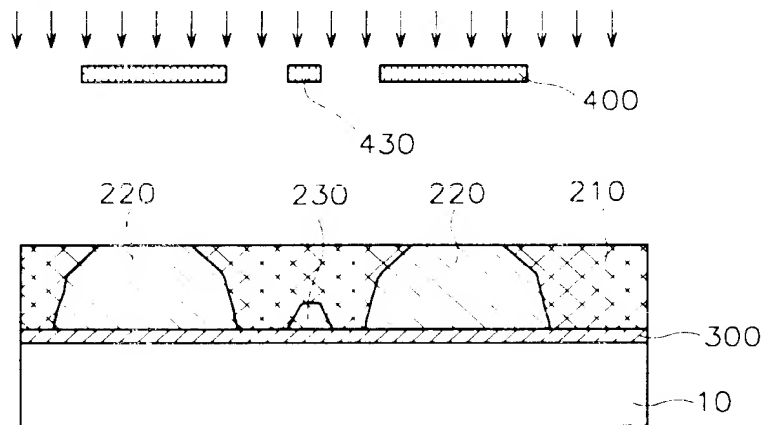
【図 8b】



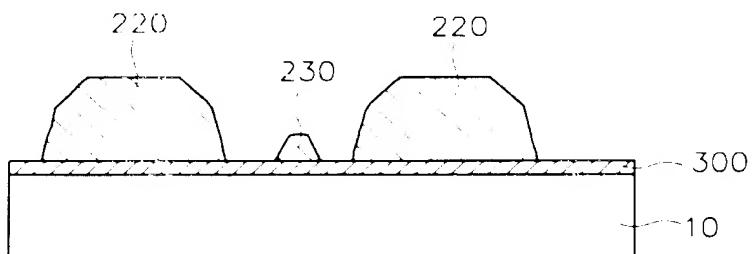
【図 8c】



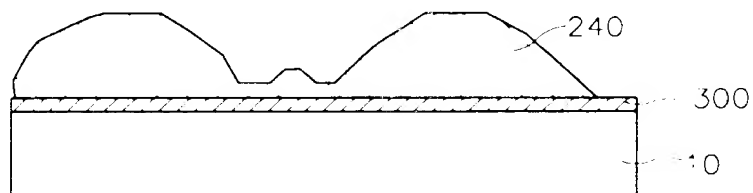
【図 9a】



【図 9b】



【 25 96 】



【 註 10a】

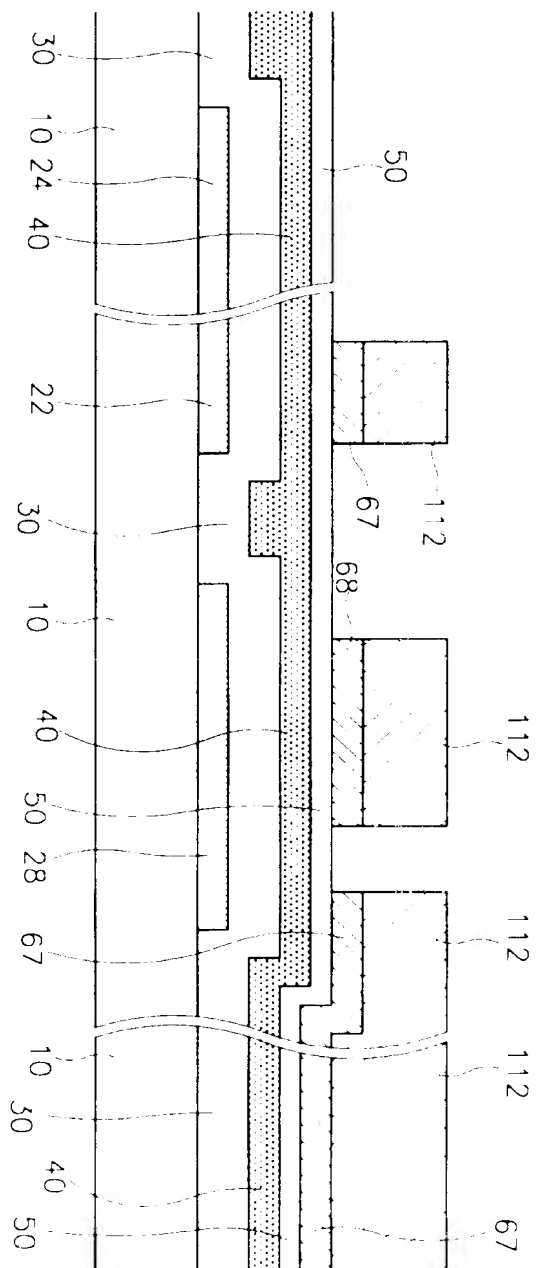
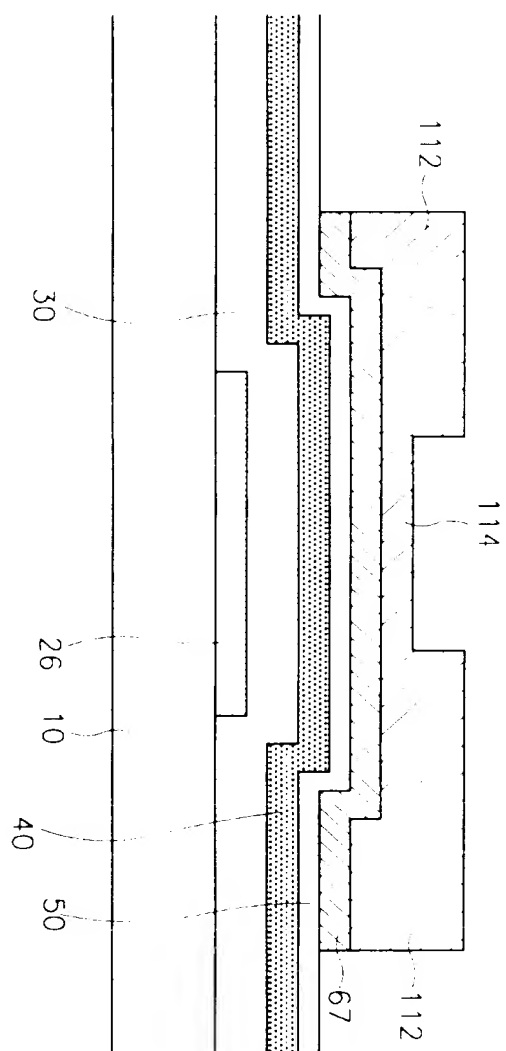
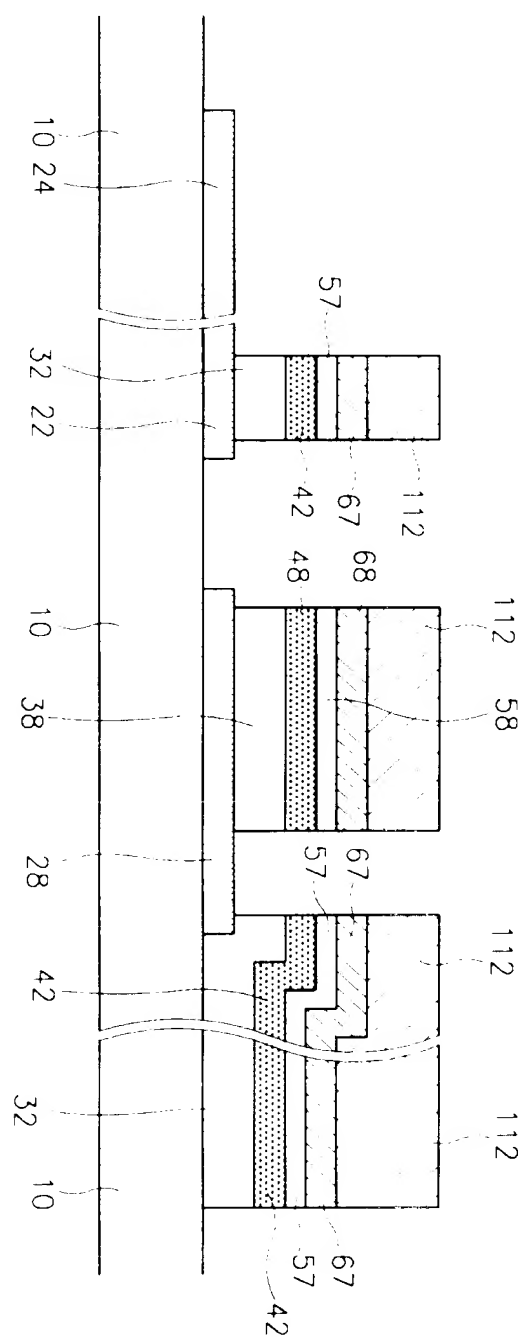


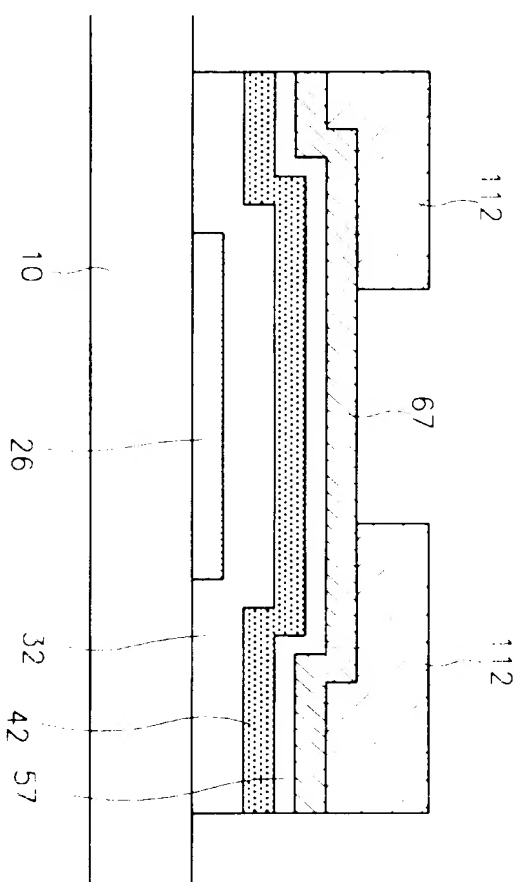
FIG. 10b



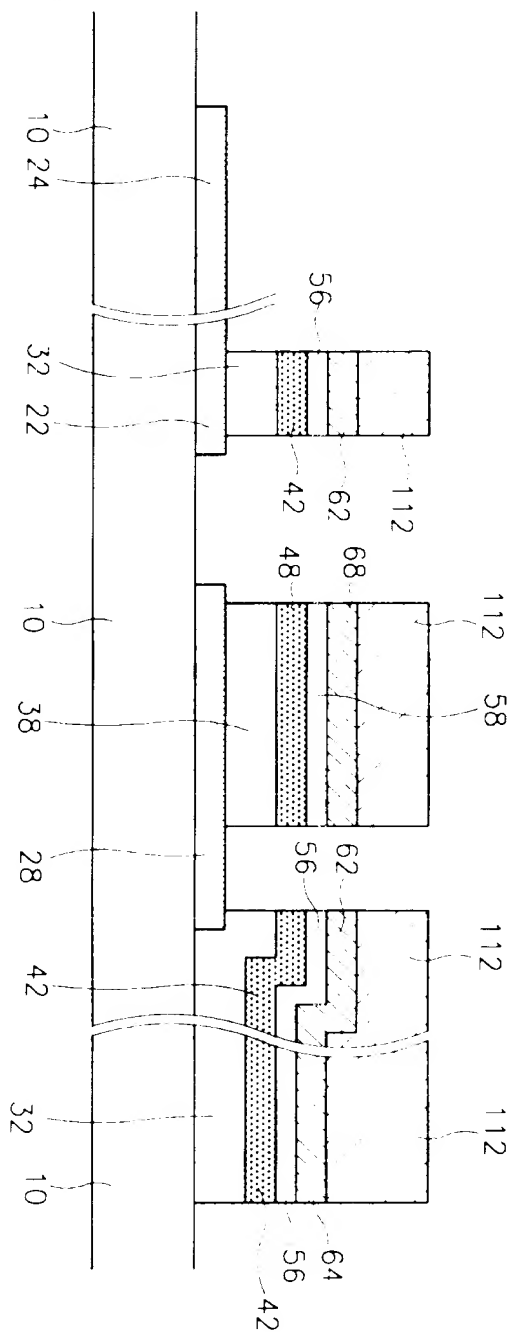
【図 11a】



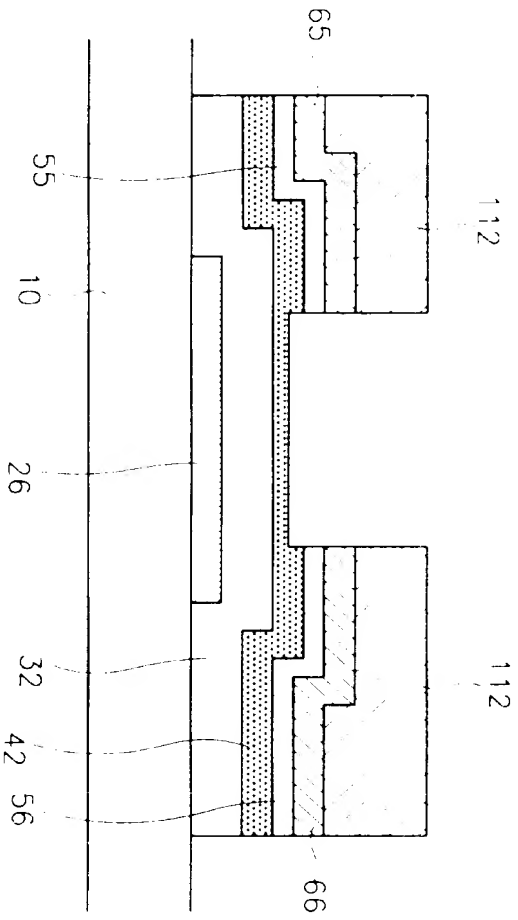
【NE 1110】



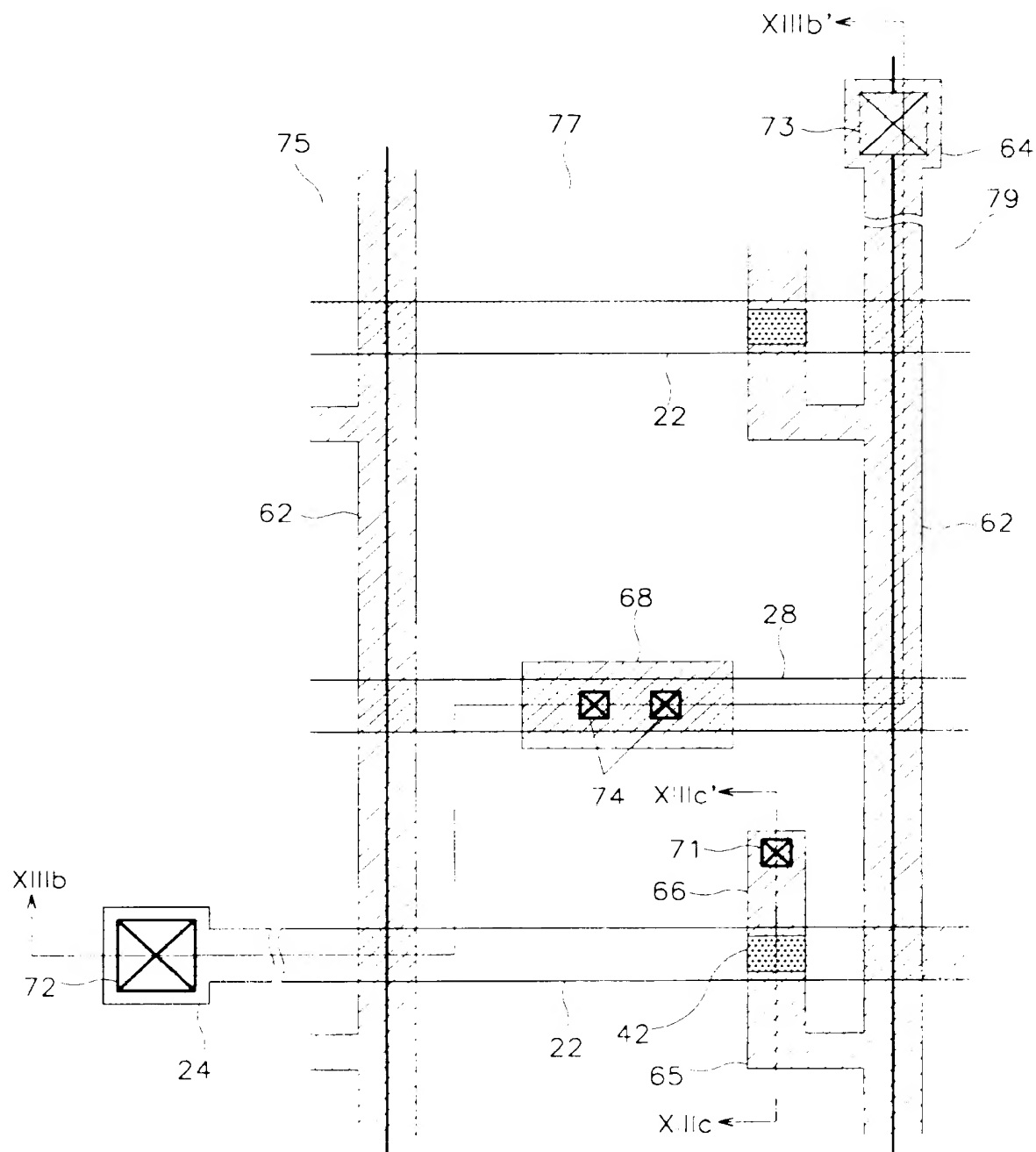
【図 12a】



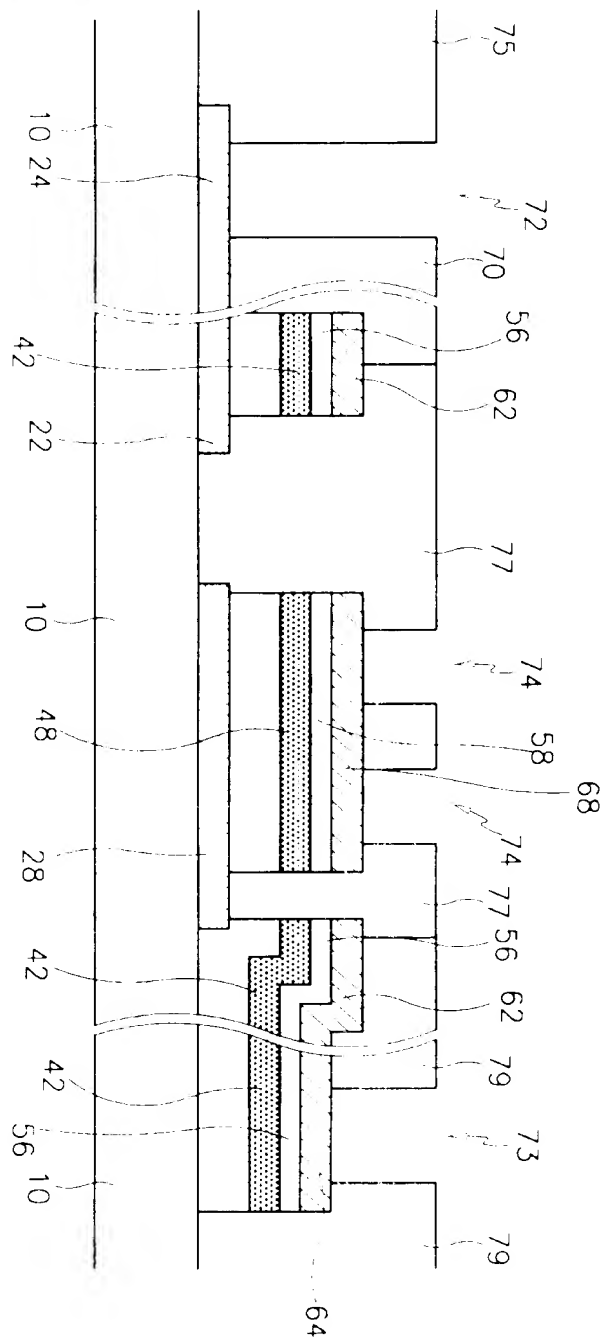
【Fig. 12b】



[31 13a]



【図 13b】



【136】

